

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-338848

(43)Date of publication of application : 26.11.1992

(51)Int.Cl.

G06F 12/10

(21)Application number : 03-111962

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.05.1991

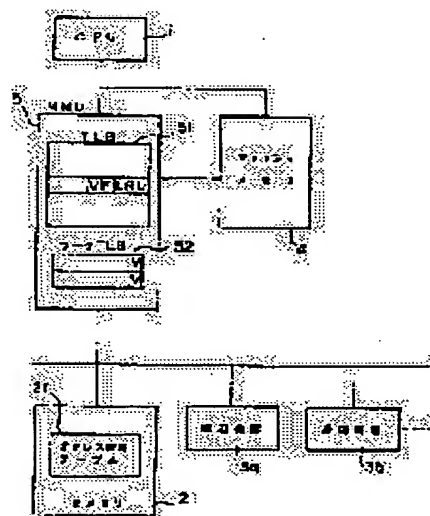
(72)Inventor : SATO YOSHIYUKI

(54) TLB SUBSTITUTION SYSTEM

(57)Abstract:

PURPOSE: To improve the performance by limiting the occurrence of TLB substitution and suppressing the occurrence of unnecessary TLB substitution to raise the hit rate with respect to TLB entry contents which should be resident in a TLB on the performance.

CONSTITUTION: Each entry of a TLB 51 is provided with a substitution inhibiting flag F designating whether substitution of the entry should be inhibited or not, and a work TLB 52 where address conversion information is temporarily stored is provided in an MMU 5. If the access request from a CPU 1 does not hit the work TLB 52 neither the TLB 51 and the substitution inhibiting flag F of the substitution object entry in the TLB 51 is set, the MMU 5 does not store address conversion information, which includes the physical address obtained by using an address conversion table 21 on a main memory 2, in the substitution object entry but stores it only in the work TLB 52.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.⁵

G 0 6 F 12/10

識別記号

庁内整理番号

E 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号

特願平3-111962

(22) 出願日

平成3年(1991)5月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 善幸

東京都府中市東芝町1番地 株式会社東芝

府中工場内

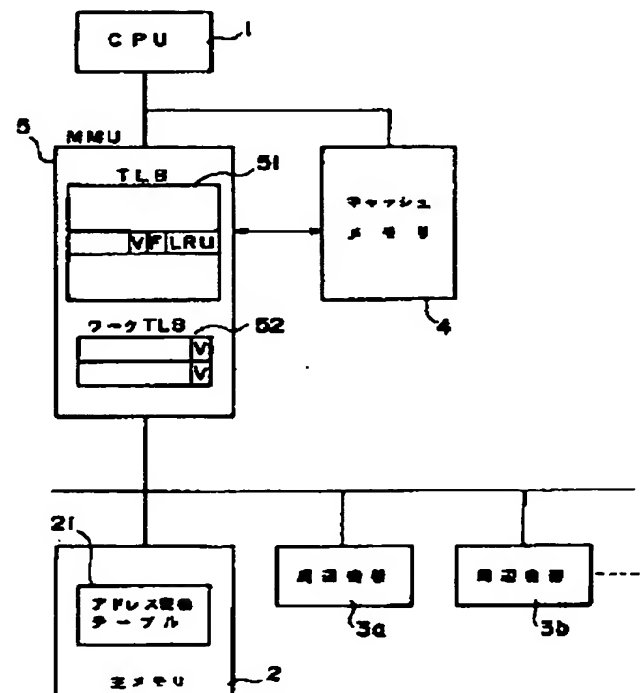
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 TLB置換方式

(57) 【要約】

【目的】 TLB置換の発生に制限を加えることで、性能上、TLBに常駐させておきたいTLBエントリ内容については、不要なTLB置換の発生を抑えてヒット率を高め、性能を向上させることである。

【構成】 TLB51内の各エントリ中に、そのエントリの置換を禁止するか否かを指定するための置換禁止フラグFを設けると共に、アドレス変換情報を一時記憶するためのワークTLB52をMMU5内に設け、CPU1からのアクセス要求に対し、ワークTLB52およびTLB51のいずれにもヒットせず且つTLB51の置換対象エントリの置換禁止フラグFが真の場合には、MMU5が主メモリ2上のアドレス変換テーブル21を用いて得た物理アドレスを含むアドレス変換情報をその置換対象エントリに記憶させず、ワークTLB52だけに記憶させる構成とする。



【特許請求の範囲】

【請求項1】 仮想アドレスおよび同アドレスに対応する物理アドレスとの対を含むアドレス変換情報を格納するための複数のエントリを持つTLB（アドレス変換バッファ）を備えた仮想記憶制御方式の情報処理システムにおいて、上記TLBの各エントリに設けられ、そのエントリの置換禁止を指定するための置換禁止フラグと、仮想アドレスと物理アドレスとの対を含むアドレス変換情報を格納するためのワークバッファと、仮想アドレスを物理アドレスに変換する必要がある場合に同仮想アドレスにより上記TLBおよびワークバッファを検索し、同仮想アドレスが上記TLBおよびワークバッファのいずれにも存在しない場合には、同仮想アドレスをアドレス変換テーブルを用いて物理アドレスに変換するアドレス変換手段と、このアドレス変換手段によって変換された物理アドレスとその仮想アドレスとの対を含むアドレス変換情報を上記ワークバッファに格納すると共に、上記TLBの置換対象エントリ中の上記置換禁止フラグが置換禁止を示していない場合に限り、同エントリに、上記変換された物理アドレスとその仮想アドレスとの対を含むアドレス変換情報を格納する手段と、を具備し、上記TLBの置換対象エントリ中の上記置換禁止フラグが置換禁止を示している場合には、この置換対象エントリが置換されるのを禁止するようにしたことを特徴とするTLB置換方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、TLB（アドレス変換バッファ）を備えた仮想記憶制御方式の情報処理システムにおけるTLB置換方式に関する。

【0002】

【従来の技術】一般に仮想記憶制御方式の情報処理システムには、CPU等からの仮想アドレスによるアクセス要求を受けてメモリ（主メモリ）や周辺機器に対するアクセスを管理するメモリ管理ユニット（以下、MMUと称する）が設けられている。

【0003】MMUは、その主たる機能として、CPU等から出力される仮想アドレスを物理アドレスに変換するアドレス変換機能を有する。この種のMMUには、上記のアドレス変換を高速に行うために、TLB（Translation Look-aside Buffer；アドレス変換バッファ）と称されるキャッシング機構が設けられるのが一般的である。

【0004】TLBは複数のエントリ（TLBエントリ、キャッシングエントリ）を持つ。このTLBエントリには、CPU等からの仮想アドレスを主メモリ上のアドレス変換テーブル（セグメントテーブル、ページテーブルなどからなるアドレス変換テーブル）を用いて物理アドレスに変換した際の、仮想アドレス（仮想ページアドレス）と物理アドレス（物理ページアドレス）との対

を含む情報（アドレス変換情報と呼ぶ）が格納される。

【0005】さてMMUは、CPU等から仮想アドレスによるアクセス要求が出されると、その仮想アドレス（の仮想ページアドレス）によりTLBを検索し、その仮想アドレスを持つアドレス変換情報を探す。

【0006】もし、目的のアドレス変換情報がTLB内に存在するヒット（TLBヒット）時には、MMUは、そのアドレス変換情報中の物理アドレスを用いて要求されたアクセスを高速に実行する。

10 【0007】これに対して、目的アドレス変換情報がTLB内に存在しないミスヒット時には、MMUは、主メモリ上のアドレス変換テーブルを用いて仮想アドレスを物理アドレスに変換するアドレス変換動作を行う。そしてMMUは、TLB内の置換対象とするエントリの記憶内容を追出し、今回発生した仮想アドレスと物理アドレスとの対を含むアドレス変換情報を記憶する、いわゆるTLB置換（TLBエントリの入替え）を行う。この際の置換対象エントリは、例えばLRU（Least Recently Used）方式によって決定される。

20 【0008】

【発明が解決しようとする課題】上記したように従来は、TLBミスヒットが発生すると、必ずTLB置換（TLBエントリの入替え）が発生し、置換対象となったTLBエントリの元の内容が追出されるようになっていた。しかし、置換対象TLBエントリの内容によっては、例えばディスク装置などの周辺機器のように連続領域を高速にアクセスする必要がある機器を対象とするアドレス変換情報が置換対象TLBエントリに記憶されていた場合に、従来のように無条件でエントリ内容が入替えられていたのでは、次に、この種の機器をアクセスする際に発生するTLBミスヒットにより性能が低下するという問題があった。

30

【0009】この発明は上記事情に鑑みてなされたものでその目的は、TLB置換の発生に制限を加えることで、性能上、TLBに常駐させておきたいTLBエントリ内容については、不要なTLB置換の発生を抑えてヒット率を高め、性能向上を図ることができるTLB置換方式を提供することにある。

【0010】

40 【課題を解決するための手段】この発明は、TLBの各エントリ中に該当エントリの置換禁止を指定するための置換禁止フラグを設定すると共に、仮想アドレスと物理アドレスとの対を含むアドレス変換情報を格納するためのワークバッファ（ワークTLB）をTLBとは別に設け、更に、TLBおよびワークバッファのいずれにもアクセス対象仮想アドレスが存在しないミスヒット時には、同仮想アドレスをアドレス変換テーブルを用いて物理アドレスに変換するアドレス変換手段と、この仮想アドレスと変換された物理アドレスとの対を含むアドレス変換情報をワークバッファに格納し、TLBの置換対象

50

エントリ中の置換禁止フラグが置換禁止を示していない場合に限り、同エントリに上記仮想アドレスと変換された物理アドレスとの対を含むアドレス変換情報を格納するTLB置換を行う手段とを備え、置換対象エントリ中の置換禁止フラグが置換禁止を示している場合には、同エントリの置換（入替え）が発生するのを禁止するようにしたことを特徴とするものである。

【0011】

【作用】上記の構成によれば、CPU等から仮想アドレスによるアクセス要求があると、その仮想アドレスによってTLBおよびワークバッファが検索され、少なくともいずれかにヒットした場合には、その仮想アドレスと対をなして記憶されていた物理アドレスが利用できるため、要求されたアクセスが高速に行われる。

【0012】これに対して、TLBおよびワークバッファのいずれにもヒットしなかった場合には、主メモリ上のアドレス変換テーブルを用いた周知のアドレス変換（いわゆるテーブルウォーク）が行われ、アクセス対象仮想アドレスに対応する物理アドレスが得られる。この仮想アドレスと物理アドレスとの対は、まずワークバッファに格納される。

【0013】このとき、TLB内の置換対象エントリの置換禁止フラグの状態がチェックされる。もし、この置換禁止フラグが置換禁止を示していないならば、ワークバッファに格納したアドレス対を含むアドレス変換情報を、置換対象エントリに格納するTLB置換（入替え）を行う。一方、置換対象エントリの置換禁止フラグが置換禁止を示しているならば、置換対象エントリの入替えを禁止する。

【0014】このように、置換対象エントリの置換禁止フラグが置換禁止を示している場合には、置換対象エントリの入替えは行われず、置換対象エントリの内容が追出されることが防止できる。したがって、このエントリに格納されているアドレス変換情報中の仮想アドレスによるアクセス要求があった場合には、直ちに物理アドレスが得られ、高速アクセスが可能となる。

【0015】また、置換対象エントリの入替えは行われなくても、テーブルウォークによって得られた物理アドレスとアクセス対象仮想アドレスとの対はワークバッファには格納されるため、これがワークバッファから追出されない限りは、再びこの仮想アドレスによるアクセスが要求された場合には、高速アドレス変換が可能となる。

【0016】

【実施例】図1はこの発明を適用する仮想記憶制御方式の情報処理システムの一実施例を示すブロック構成図である。

【0017】図1において、1はシステムの中核をなすCPU、2は各種プログラム、データ等が格納される主メモリである。主メモリ2には、仮想アドレス（仮想ベ

(3)

ージアドレス）を物理アドレス（物理ページアドレス）に変換するためのセグメントテーブル、ページテーブル等からなる周知のアドレス変換テーブル21が置かれる。3a、3b…はディスク装置、表示装置等の周辺機器、4は仮想アドレスによるキャッシングが可能なキャッシュメモリである。

【0018】5はCPU1等からの仮想アドレスによるアクセス要求を受けて主メモリ2や周辺機器3a、3b…に対するアクセスを管理するMMU（メモリ管理ユニット）である。

【0019】MMU5には、仮想アドレス（中の仮想ページアドレス）および同アドレスに対応する物理アドレス（物理ページアドレス）との対を含むアドレス変換情報を格納するための複数のエントリを持つ、例えばフルアソシアティブ方式のTLB51が設けられる。

【0020】TLB51の各エントリには、該当エントリの内容が有効であることを示す有効ビットV（V=1で真）の他、該当エントリの置換（入替え）を禁止することを指定するための置換禁止フラグF（F=1で真）が設定される。また、TLB51の各エントリには、例えばLRU方式による置換制御を適用するために、そのエントリがどの程度最近にアクセスされたかを示すLRU値が設定される。このLRU値は、該当エントリにヒットした場合に例えばクリアされ、ヒットしなかった場合には例えば+1されるようになっている。

【0021】MMU5には更に、仮想アドレス（中の仮想ページアドレス）および同アドレスに対応する物理アドレス（物理ページアドレス）との対を含むアドレス変換情報（TLB51内のアドレス変換情報と同一形式とは限らない）を複数（例えば2つ）格納するためのワークバッファ（以下、ワークTLBと称する）52が設けられる。ワークTLB52の各エントリには、該当エントリの内容が有効であることを示す有効ビットV（V=1で真）が設定される。ワークTLB52は例えばリングバッファ構造をとり、格納先エントリが循環して用いられるものとする。

【0022】次に、図1のシステムの動作を、CPU1から仮想アドレスによるアクセス要求があった場合を例に、図2のフローチャートを参照して説明する。まずMMU5は、CPU1から仮想アドレスによるアクセス要求があると、その仮想アドレス中の仮想ページアドレスを物理ページアドレスに変換するために、その変換対象仮想ページアドレスでTLB51、ワークTLB52を検索する（ステップS1）。

【0023】もし、TLB51またはワークTLB52に変換対象仮想ページアドレスが記憶されているならば、即ちTLB51またはワークTLB52にヒットしたならば、MMU5は変換対象仮想ページアドレスと対をなして記憶されている物理ページアドレスを即座に得、その物理ページアドレス（と変換対象仮想アドレス

10

20

30

40

50

5

中のページ内オフセットからなる物理アドレス)を用いて、要求されたアクセスを実行する(ステップS2、S3)。

【0024】これに対し、TLB51およびワークTLB52のいずれにも変換対象仮想ページアドレスが記憶されていないならば、即ちTLB51およびワークTLB52のいずれにもミスヒットしたならば、まずMMU5はその仮想ページアドレスをワークTLB52に記憶する(ステップS4)。そしてMMU5は、主メモリ2上のアドレス変換テーブル21を利用してテーブルウォークを行い、変換対象仮想ページアドレスを物理ページアドレスに変換する(ステップS5)。

【0025】MMU5は、テーブルウォークにより物理ページアドレスを得ると、その物理ページアドレスを、ステップS4で変換対象仮想ページアドレスを記憶したワークTLB52内エントリに、同仮想ページアドレスと対をなすように記憶し、同エントリ中の有効ビットVを“1”にセットする(ステップS6)。なお、ステップS4を省略し、ステップS6で仮想ページアドレスと物理ページアドレスとの対をワークTLB52に記憶するようにしてもよい。

【0026】次にMMU5は、TLB51を調べてLRU値の最も大きいエントリを置換対象エントリとして探し、その置換対象エントリの置換禁止フラグFの状態をチェックする(ステップS7)。

【0027】もし、TLB51内の置換対象エントリの置換禁止フラグFが“0”であった場合、即ち対象エントリが置換禁止指定エントリでなかった場合には、MMU5は、ワークTLB52内エントリに記憶した仮想ページアドレスと物理ページアドレスとの対をその置換対象エントリに移し、元のワークTLB52内エントリの有効ビットVを“0”に戻す(ステップS8)。このときMMU5は、TLB51内の置換対象エントリの有効ビットVを“1”にセットすると共にLRU値をクリアし、更に置換禁止フラグFを“0”または“1”にセットする。この置換禁止フラグFを“0”または“1”のいずれとするかは、CPU1からの仮想アドレスによるアクセス要求中で指定されるようになっている。

【0028】MMU5はステップS8を実行すると、TLB51に記憶した物理ページアドレス(と変換対象仮想アドレス中のページ内オフセットからなる物理アドレス)を用いて、要求されたアクセスを実行する(ステップS3)。

【0029】一方、TLB51内の置換対象エントリの置換禁止フラグFが“1”であった場合、即ち対象エントリが置換禁止指定エントリであった場合には、MMU5はまず、CPU1からのアクセス要求により置換禁止が指定されているか否かをチェックする(ステップS9)。

【0030】もし、CPU1からのアクセス要求により

(4)

(4)

6

置換禁止が指定されているならば、MMU5は、テーブルウォークにより得られた物理ページアドレス(を含むアドレス変換情報)をTLB51に常駐させる必要があるもの判断してTLB51を調べ、置換禁止フラグFが“0”のエントリ(置換禁止が指定されていないエントリ)の中でLRU値の最も大きいエントリを置換対象エントリとして探す(ステップS10)。

【0031】そしてMMU5は、ワークTLB52内エントリに記憶した仮想ページアドレスと物理ページアドレスとの対を、ステップS10で探した置換対象エントリに移し、元のワークTLB52内エントリの有効ビットVを“0”に戻す(ステップS11)。このときMMU5は、TLB51内の置換対象エントリの有効ビットVおよび置換禁止フラグFをいずれも“1”にセットすると共にLRU値をクリアする。

【0032】これに対して、CPU1からのアクセス要求で置換禁止が指定されていないならば、MMU5はテーブルウォークにより得られた物理ページアドレス(を含むアドレス変換情報)をTLB51に常駐させる必要があるものと判断する。この場合、MMU5はTLB51へのアドレス(アドレス変換情報)設定動作を行わず、ワークTLB52に記憶した物理ページアドレスを用いて要求されたアクセスを実行する(ステップS3)。

【0033】さて、以上のMMU5の動作の後、CPU1から次のアクセス要求が出されたものとする。もし、このアクセス要求に伴う仮想アドレス中の仮想ページアドレスと同一のページアドレスがワークTLB52に記憶されているならば、即ちワークTLB52にヒットしたならば、MMU5は、その仮想ページアドレスと対をなしてワークTLB52に記憶されている物理ページアドレスを即座に得、アクセス要求を実行することができる。

【0034】これに対し、ワークTLB52およびTLB51のいずれにもミスヒットしたならば、先に述べたようにまずワークTLB52を書き替えるためにテーブルウォークが必要となる。しかし、CPU1からのアクセス要求により置換禁止が指定されているならば(即ちアドレス変換情報をTLB51に常駐させておく必要があるアクセス要求であれば)、TLB51内エントリへのアドレス変換情報登録が行われ、しかも同エントリは置換禁止フラグFにより置換禁止指定されるために、例えばTLB51の全エントリを全て無効にするといった特別の処理が行われない限り、そのアドレス変換情報はTLB51から追出されず、この種のアクセス要求に対してTLB51にヒットする確率が高くなる。

【0035】以上のMMU5の動作は、CPU1からの仮想アドレスがキャッシュメモリ4にミスヒットした場合、即ちその仮想アドレスで指定されるキャッシュブロックデータがキャッシュメモリ4に存在しない場合に行

7

われるものである。もし、キャッシュメモリ4にヒットした場合には、キャッシュメモリ4を対象に要求されたアクセスが実行される。

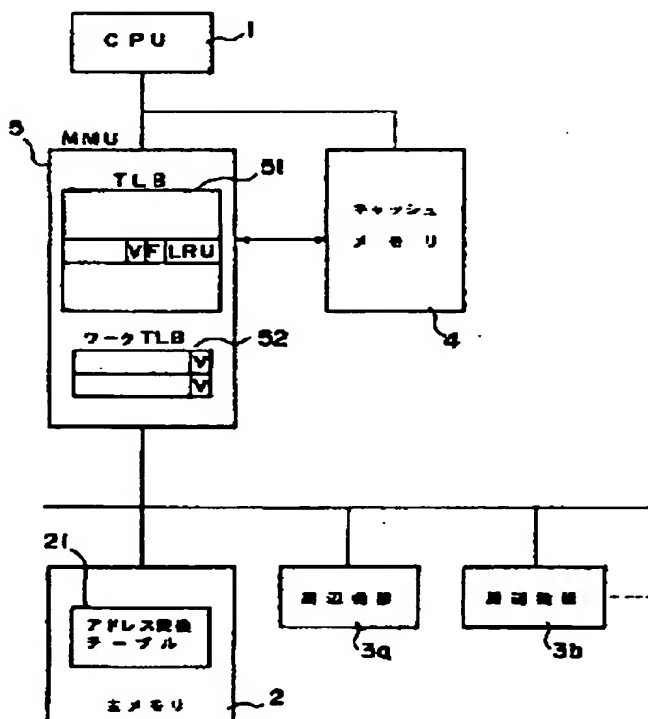
【0036】なお、前記実施例では、ワークTLB（ワークバッファ）52のエントリ数が複数であるものとして説明したが、1つであっても構わない。また、キャッシュメモリ4は必ずしも必要でない。

【0037】また、前記実施例では、TLB51内エントリにアドレス変換情報を記憶する場合に同エントリを置換禁止とするか否か（即ち同エントリ中の置換禁止フラグFを“1”にセットするか否か）を、CPU1からのアクセス要求により指定するものとして説明したが、仮想アドレス（仮想ページアドレス）毎に置換禁止とするか否かを指定する（CPU1によって書換え可能なテーブルを用いるようにしてもよい。このテーブルは、例えばMMU5内に置くことが好ましい。

【0038】更に、前記実施例では、フルアソシアティブ方式のTLB51に適用した場合について説明したが、本発明は、例えばセットアソシアティブ方式のTLBにも適用可能である。

【0039】

【図1】



(5)

8

(5)

【発明の効果】以上詳述したようにこの発明によれば、TLBエントリ中に置換禁止を指定するための置換禁止フラグを設けてTLB置換の発生に制限を加えると共に、この制限によりTLBに記憶できないアドレス変換情報についてはワークバッファに一時的に記憶させる構成とすることにより、性能上、TLBに常駐させておきたいTLBエントリ内容については、不要なTLB置換の発生を抑えてヒット率を高め、性能向上を図ることができる。

10 【図面の簡単な説明】

【図1】この発明を適用する仮想記憶制御方式の情報処理システムの一実施例を示すブロック構成図。

【図2】同実施例の動作を説明するためのフローチャート。

【符号の説明】

1…CPU、2…主メモリ、3a、3b…周辺機器、4…キャッシュメモリ、5…MMU（メモリ管理ユニット）、21…アドレス変換テーブル、51…TLB（アドレス変換バッファ）、52…ワークTLB（ワークバッファ）。

20

【図2】

